

Docket No.: 67160-019

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Kazuya FUKUHARA	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: May 20, 2004	:	Examiner: Unknown
For: POWER MOSFET, POWER MOSFET PACKAGED DEVICE, AND METHOD OF MANUFACTURING POWER MOSFET		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-142165, filed May 20, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: May 20, 2004

67160-019

FUKUHARA

May 20, 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 5月20日

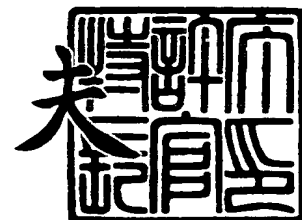
出 願 番 号
Application Number: 特願2003-142165
[ST. 10/C]: [JP2003-142165]

出 願 人
Applicant(s): 株式会社ルネサステクノロジ

2004年 4月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 545196JP01

【提出日】 平成15年 5月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/48
H01L 21/60
H05K 13/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ
ステクノロジ内

【氏名】 福原 和矢

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パワーMOSFETとパワーMOSFET応用装置およびパワーMOSFETの製造方法

【特許請求の範囲】

【請求項1】 相対向する一方の主面にソース電極とゲート電極を有し、その他方に主面にドレイン電極を有する半導体基板、前記一方の主面上に配置され前記ソース電極に接合するソース端子層、前記一方の主面上に配置され前記ゲート電極に接合するゲート端子層、および前記他方の主面上に配置され前記ドレイン電極に接合するドレイン端子層を備え、前記ソース端子層とゲート端子層が前記一方の主面上にその主面の面積内に納まる大きさに配置され、また前記ドレイン端子層も前記他方の主面上にその主面の面積内に納まる大きさに配置されたことを特徴とするパワーMOSFET。

【請求項2】 請求項1記載のパワーMOSFETであって、前記ソース端子層とゲート端子層とドレイン端子層が、導電性接着剤により前記各主面に接合されたことを特徴とするパワーMOSFET。

【請求項3】 請求項1記載のパワーMOSFETであって、前記ソース端子層、ゲート端子層、ドレイン端子層が金属蒸着層で形成され、これらが前記ソース電極、ゲート電極、ドレイン電極に蒸着されたことを特徴とするパワーMOSFET。

【請求項4】 請求項1記載のパワーMOSFETであって、前記ソース端子層、ゲート端子層、ドレイン端子層に表面にろう付け層が形成されたことを特徴とするパワーMOSFET。

【請求項5】 請求項1記載のパワーMOSFETを前記半導体基板の各主面が回路基板にほぼ垂直となるように実装したことを特徴とするパワーMOSFET応用装置。

【請求項6】 請求項5記載のパワーMOSFET応用装置であって、前記ソース端子層、ゲート端子層、ドレイン端子層のそれぞれが、ろう付け材によって前記回路基板にろう付けされたパワーMOSFET応用装置。

【請求項7】 請求項5記載のパワーMOSFET応用装置であって、前記

半導体基板と、前記ソース端子層と、ゲート端子層と、ドレイン端子層とを覆うように、樹脂封止部材が設けられたパワーMOSFET応用装置。

【請求項8】 半導体基板の一方の主表面側にソース電極とゲート電極を有し、その他方の主表面側にドレイン電極を有するパワーMOSFETを複数個含んだ半導体ウエハを準備するウエハ準備工程、このウエハ準備工程の後で、前記半導体ウエハに含まれる各パワーMOSFETのそれぞれのソース電極とゲート電極とに共通に接触する第1端子板を形成し、また前記半導体ウエハに含まれる各パワーMOSFETのそれぞれのドレイン電極に共通に接触する第2端子板を形成する端子形成工程、およびこの端子形成工程の後で、前記半導体ウエハを前記各パワーMOSFETの半導体基板に対応して分割し、半導体基板の一方の主表面側に前記ソース電極とゲート電極にそれぞれ独立して接触するソース端子層とゲート端子層を有し、またその他方の主表面側に前記ドレイン電極に接触するドレイン端子層を有するパワーMOSFETを構成する分離工程を含んだパワーMOSFETの製造方法。

【請求項9】 請求項8記載のパワーMOSFETの製造方法であって、前記端子形成工程の後に端子整形工程を含み、この端子整形工程では、前記第1端子板が、前記各パワーMOSFETのソース電極のそれぞれに対応するソース端子層とそのゲート電極のそれぞれに対応するゲート端子層とが細い接続片で互いに接続されたパターンに整形され、また前記第2端子板が、前記各パワーMOSFETのドレイン電極のそれぞれに対応するドレイン端子層が細い接続片で互いに接続されたパターンに整形されるパワーMOSFETの製造方法。

【請求項10】 請求項9記載のパワーMOSFETの製造方法であって、前記端子整形工程の後にさらにろう付け層形成工程を含み、このろう付け層形成工程では、前記各ソース端子層、ゲート端子層、ドレイン端子層と前記接続片とにろう付け層がメッキされるパワーMOSFETの製造方法。

【請求項11】 請求項10記載のパワーMOSFETの製造方法であって、前記ろう付け層形成工程の後に、前記分割工程が実行されるパワーMOSFETの製造方法。

【請求項12】 半導体基板の一方の主表面側にソース電極とゲート電極を

有し、その他方の主表面側にドレイン電極を有するパワーMOSFETを複数個含んだ半導体ウエハを準備するウエハ準備工程、このウエハ準備工程の後で、前記半導体ウエハに含まれる各パワーMOSFETのそれぞれのソース電極とゲート電極とドレイン電極に金属層を蒸着し、ソース端子層、ゲート端子層、ドレイン端子層を形成する端子層形成工程、およびこの端子層形成工程の後で、前記半導体ウエハを前記各パワーMOSFETの半導体基板に対応して分割し、パワーMOSFETを構成する分離工程を含んだパワーMOSFETの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は、パワーMOSFETとこれを応用したパワーMOSFET応用装置およびパワーMOSFETの製造方法に関するものである。

【0002】

【従来の技術】

一般にパワーMOSFETでは、半導体基板の一主面にソース電極とゲート電極が配置され、半導体基板の他の主面にドレイン電極が配置される。このパワーMOSFETは、そのドレイン電極をリードフレームのダイボンド領域に接合してパッケージされる。このリードフレームのダイボンド領域はドレイン端子を形成し、またリードフレームは、ダイボンド領域と電氣的に分離されたソース端子と、ゲート端子を含む。パワーMOSFETのソース電極とゲート電極は、細い金属ワイヤを介してソース端子とゲート端子に接続される。ソース電極は、オン抵抗を小さくするために、複数の細い金属ワイヤを介してソース端子に接続される。

【0003】

特開2002-359332号公報の図17には、縦型のMOSトランジスタを含む半導体チップを組み込んだ半導体パッケージが示される。この半導体パッケージにおいて、チップ上の金属電極はワイヤの配線抵抗を低減するため、複数本のAuワイヤを介してリードに接続される。この場合、電極パッド数を増やし、Auワイヤの接続本数を増やすほど組立て工程のインデックスが増加すること

、ワイヤ長の関係に起因して配線抵抗を更に低減するのが難しくなることが述べられている。

また、特開 2002-359332 号公報の図 1 には、半導体チップ上のバンプコンタクトに導電性ストリップからなるリードを接合するものが示されている。この導電性ストリップからなるリードは、バンプコンタクトに直接接合するので、細い金属ワイヤを使用するものに比べて、配線抵抗を低減できる。

【0004】

【特許文献 1】

特開 2002-359332 号公報（図 17、図 1 とその説明）

【0005】

【発明が解決しようとする課題】

しかし、特開 2002-359332 号公報の図 1 に示されたものでは、半導体チップ上に導電性ストリップからなる 2 つのリードを配置しており、組立て時には、これらのリードをそれぞれ半導体チップに組み付ける必要がある。

【0006】

この発明は、ソース端子層、ゲート端子層、ドレイン端子層を半導体基板に主面上に配置し、小型化とともにそれらの端子層の接続抵抗の低減を図るように改良されたパワー MOSFET を提案するものである。

また、この発明はこの改良されたパワー MOSFET を応用し、より小さい実装面積でパワー MOSFET を実装したパワー MOSFET 応用装置を提案するものである。

また、この発明は、ソース端子、ゲート端子およびドレイン端子の形成工程を改良し、これらの端子を簡単に形成できるようにしたパワー MOSFET の製造方法を提案するものである。

【0007】

【課題を解決する手段】

この発明によるパワー MOSFET は、相対向する一方の主面にソース電極とゲート電極を有し、その他方に主面にドレイン電極を有する半導体基板、前記一方の主面上に配置され前記ソース電極に接合するソース端子層、前記一方の主面

上に配置され前記ゲート電極に接合するゲート端子層、および前記他方の主面上に配置され前記ドレイン電極に接合するドレイン端子層を備え、前記ソース端子層とゲート端子層が前記一方の主面上にその主面の面積内に納まる大きさに配置され、また前記ドレイン端子層も前記他方の主面上にその主面の面積内に納まる大きさに配置されたことを特徴とする。

【0008】

この発明のパワーMOSFETによれば、ソース端子層、ゲート端子層、ドレイン端子層は、半導体基板の各主面の面積内に納まる大きさに、各主面上に配置されるので、小型化されたパワーMOSFETを得ることができ、またこれらのソース端子層、ゲート端子層、ドレイン端子層をソース電極、ゲート電極、ドレイン電極に接合しているので、内部抵抗の小さなパワーMOSFETを得ることができる。併せて、ソース端子、ゲート端子、ドレイン端子をソース電極、ゲート電極、ドレイン電極に接触させているので、リードフレームを使用するものに比べて、外形寸法のより小さなパワーMOSFETを得ることができる。

【0009】

また、この発明によるパワーMOSFET応用装置は、前記パワーMOSFETの発明によるパワーMOSFETをその半導体基板の各主面が回路基板にほぼ垂直となるように実装したものである。このパワーMOSFET応用装置では、パワーMOSFETが小型化された利点を活かし、パワーMOSFETをより小さな面積で回路基板に実装できる。

【0010】

また、この発明によるパワーMOSFETの製造方法は、ウエハ準備工程、端子形成工程および分割工程を含む。ウエハ準備工程では、半導体基板の一方の主面側にソース電極とゲート電極を有し、その他方の主面側にドレイン電極を有するパワーMOSFETを複数個含んだ半導体ウエハが準備される。端子形成工程は、このウエハ準備工程の後で実行され、この端子層形成工程では、前記半導体ウエハに含まれる各パワーMOSFETのそれぞれのソース電極とゲート電極とに共通に接触する第1端子板を形成し、また前記半導体ウエハに含まれる各パワーMOSFETのそれぞれのドレイン電極に共通に接触する第2端子板が形成さ

れる。分割工程はこの端子形成工程の後で実行され、前記半導体ウエハを前記各パワーMOSFETの半導体基板に対応して分割し、半導体基板の一方の主面側に前記ソース電極とゲート電極にそれぞれ独立して接触するソース端子とゲート端子を有し、またその他方の主面側に前記ドレイン電極に接触するドレイン端子を有するパワーMOSFETを構成する。

【0011】

この発明によるパワーMOSFETの製造方法では、複数のパワーMOSFETを含む半導体ウエハに対し、各パワーMOSFETのそれぞれのソース電極とゲート電極とに共通に接触する第1端子板と、各パワーMOSFETのそれぞれのドレイン電極に共通に接触する第2端子板を形成した後に、第1、第2端子板が、個々のパワーMOSFETのソース端子層、ゲート端子層、ドレイン端子層に分割されるので、半導体ウエハを個々のパワーMOSFETの半導体基板に分割した後に、半導体基板にソース電極、ゲート電極、ドレイン電極に、ソース端子、ゲート端子、ドレイン端子を組み付ける必要がなくなり、パワーMOSFETの製造を簡略化できる。また、ソース端子層、ゲート端子層、ドレイン端子層は、広い面積でソース電極、ゲート電極、ドレイン電極に接触させることができ、内部抵抗の小さなパワーMOSFETを得ることができる。併せて、ソース端子層、ゲート端子層、ドレイン端子層をソース電極、ゲート電極、ドレイン電極に接触させているので、リードフレームを使用するものに比べて、外形寸法のより小さなパワーMOSFETを得ることができる。

【0012】

また、この発明によるパワーMOSFETの別の製造方法は、半導体基板の一方の主面側にソース電極とゲート電極を有し、その他方の主面側にドレイン電極を有するパワーMOSFETを複数個含んだ半導体ウエハを準備するウエハ準備工程、このウエハ準備工程の後で、前記半導体ウエハに含まれる各パワーMOSFETのそれぞれのソース電極とゲート電極とドレイン電極に金属層を蒸着し、ソース端子層、ゲート端子層、ドレイン端子層を形成する端子層形成工程、およびこの端子層形成工程の後で、前記半導体ウエハを前記各パワーMOSFETの半導体基板に対応して分割し、パワーMOSFETを構成する分離工程を含んで

いる。

【0013】

この発明によるパワーMOSFETの別の製造方法では、半導体ウエハに含まれる各パワーMOSFETのそれぞれのソース電極とゲート電極とドレイン電極に金属層を蒸着し、ソース端子層、ゲート端子層、ドレイン端子層を形成し、その後前記半導体ウエハを前記各パワーMOSFETの半導体基板に対応して分割しするので、半導体ウエハを個々のパワーMOSFETの半導体基板に分割した後に、半導体基板にソース電極、ゲート電極、ドレイン電極に、ソース端子、ゲート端子、ドレイン端子を組み付ける必要がなくなり、パワーMOSFETの製造を簡略化できる。また、ソース端子層、ゲート端子層、ドレイン端子層をソース電極、ゲート電極、ドレイン電極に接合しているので、内部抵抗を小さくし、またリードフレームを使用するものに比べて、外形寸法のより小さなパワーMOSFETを得ることができる。

【0014】

【実施の形態】

実施の形態1.

図1はこの発明によるパワーMOSFETを含んだパワーMOSFET応用装置の実施の形態を示す。図1において、符号100はパワーMOSFET応用装置を示し、この発明によるパワーMOSFET10と、回路基板50を含んでいる。

【0015】

図1のパワーMOSFET10について説明する。このパワーMOSFET10は、半導体基板11と、ソース端子層15、ゲート端子層16、ドレイン端子層17を含んでいる。半導体基板11は半導体チップとも呼ばれる。この半導体基板11は、互いに対向する主面11Aと、主面11Bを有する。この半導体基板11は、例えばシリコンによって構成されたシリコン基板層12を有する。このシリコン基板層12は主面12a、12bを有し、これらの主面12a、12bにはそれぞれ表面層13、14が形成され、この表面層13、14が、それぞれ半導体基板11の主面11A、11Bを形成する。

【0016】

図2はパワーMOSFET10の両主面を示し、図2(a)はその主面11Aを、また図2(b)はその主面11Bを示す。

主面11Aを形成する表面層13には、パワーMOSFET10のソース電極10Sと、ゲート電極10Gとが、主面11Aに露出するように形成される。表面層13はシリコン基板層12の主面12aを覆う絶縁膜を含み、この絶縁膜上にはシリコン基板層12の主面12aに形成されたソース領域にオーミック接触するソース電極10Sが配置される。このソース電極10Sはゲート電極10Gよりも大きな面積を持って構成される。ゲート電極10Gは表面層13を構成する絶縁膜上に、シリコン基板層12の主面12aに形成されたチャンネル領域に対して薄いゲート絶縁膜を介して対向するように配置される。ソース端子層15は、主面11A上に配置され、ソース電極10Sに導電性接着剤を介して接合される。ゲート端子層16も主面11A上に配置され、ゲート電極10Gに導電性接着剤を介して接合される。

【0017】

シリコン基板層12の主面12bには、パワーMOSFET10のドレイン領域がそのほぼ全面に形成され、表面層14はこのドレイン領域にオーミック接触するドレイン電極10Dを含む。ドレイン端子層17は、主面11B上に配置され、ドレイン電極10Dに導電性接着剤により接着される。

ソース端子層15、ゲート端子層16、ドレイン端子層17は、CuまたはCu-Sn、Cu-Sn-NiなどのCu合金で作られる。

【0018】

パワーMOSFET10は、ソース端子層15、ゲート端子層16と、ドレイン端子層17との間に、半導体基板11が挟まれるようにして構成される。ソース端子層15とゲート端子層16は、主面11A上にその主面11Aの面積内に納まる大きさを持って、並んで配置されており、主面11Aの外側にはみ出すことはなく、主面11A上に配置されている。また、ドレイン端子層17は主面11B上に、ソース端子層15およびゲート端子層16と対向するようにして配置されている。このドレイン端子層17も、主面11Bの面積内に納まる大きさを

持っており、主面 11B の外側へはみ出すことなく、主面 11B 上に配置されている。

【0019】

このような実施の形態 1 によるパワー MOSFET 10 の構成は、パワー MOSFET 10 を小型化するのに有効である。従来のように、半導体基板 11 の表面層 14 に含まれるドレイン電極をリードフレームのダイボンドエリアに接合し、このダイボンドエリアから外部に延びるドレイン端子を形成し、このドレイン端子と反対側に延びるソース端子とゲート端子を形成するものでは、リードフレームが半導体基板から大きくその両側へ延びるので、外形寸法が大きくなるが、実施の形態 1 に示すパワー MOSFET 10 では、ソース端子層 15、ゲート端子層 16、ドレイン端子層 17 を半導体基板 11 の主面 11A、11B の面積内に配置するので、パワー MOSFET 10 の外形寸法を小型化できる。

【0020】

また実施の形態 1 のパワー MOSFET 10 において、ソース端子層 15、ゲート端子層 16 およびドレイン端子層 17 を、導電性接着剤によりソース電極 10S、ゲート電極 10G、ドレイン電極 10D に接合する構成は、ソース端子層 15、ゲート端子層 16 を、細い金属ワイヤにより接続する必要を解消する。このため、ソース端子層 15、ゲート端子層 16、ドレイン端子層 17 と、ソース電極 10S、ゲート電極 10G、ドレイン電極 10D との間の接続抵抗を十分に小さくし、パワー MOSFET 10 を小さい内部抵抗で、効率的に動作させることができる。

【0021】

また、実施の形態 1 のパワー MOSFET 10 は、回路基板 50 の上主面 50A 上に配置される。パワー MOSFET 10 は、とくにその主面 11A、11B が、回路基板 50 の上主面 50A にほぼ垂直になるようにして、回路基板 50 の上主面 50A に配置され、ろう付け材 18 によりろう付けされる。このろう付け材 18 は、例えば半田である。図 1 の符号 60 は、回路基板 50 上のパワー MOSFET 10 を封止する樹脂部材を示す。この樹脂部材 60 は、パワー MOSFET 10 を回路基板 50 上に実装し、ろう付け材 18 により固着した後、このパ

ワーMOSFET10を覆うように樹脂材料をポッティング（滴下）することにより形成される。この樹脂部材60はパワーMOSFET10に対する水分などの進入を防ぎ、パワーMOSFET10を安定に動作させ、併せてパワーMOSFET10からの放熱を行なう。

【0022】

実施の形態1において、パワーMOSFET10の主面11A、11Bが、回路基板50の主面50Aとほぼ垂直になるように、パワーMOSFET10が実装されることは、回路基板50上の実装に必要な面積を小さくするのに有効であり、回路基板50における実装密度を向上するのに有効である。

【0023】

実施の形態2.

実施の形態1のパワーMOSFET10を製造する製造方法に関する実施の形態2について説明する。図3から図6は、このパワーMOSFET10の製造方法を、その製造工程に沿って示す。この製造工程は、ウエハ準備工程、端子形成工程、端子整形工程、ろう付け層形成工程および分割工程を含む。

【0024】

図3は、ウエハ準備工程と端子形成工程が終了した段階における半導体ウエハ20を示す。この半導体ウエハ20は、図1、図2に示す半導体基板11が分割される前の半導体ウエハであり、この半導体ウエハ20は分割される前の半導体基板11を複数個含んでいる。この半導体ウエハ20は、相対向する一対の主面20A、20Bを有し、この半導体ウエハ20には、複数のパワーMOSFET10が、マトリクス状に作り込まれている。例えば図3では、半導体ウエハ20は、鎖線で区切られた4つの区画21を有し、これらの各区画21に図1に示す半導体基板11が作り込まれている。言い換えれば、これらの各区画21が図1に示すパワーMOSFET10の半導体基板11である。半導体ウエハ20の主面20Aには、各パワーMOSFET10の主面11Aが含まれ、またその主面20Bには、各パワーMOSFET10の主面11Bが含まれている。

【0025】

図3に示す半導体ウエハ20の主面20A、20B上に、端子板23、24が

それぞれ導電性接着剤 25 により接着される。端子板 23、24 は Cu または Cu-Sn、Cu-Sn-Ni で構成される金属板である。端子板 23 は主面 20A の全面に被着され、導電性接着剤 25 を介して、各パワー MOSFET 10 のソース電極 10S とゲート電極 10G に共通に接合される。また端子板 24 は主面 20B の全面に被着され、導電性接着剤 25 を介して各パワー MOSFET 10 のドレイン電極 10D に共通に接合される。

【0026】

図 4 は端子整形工程の終了後の半導体ウエハ 20 を示す。この端子整形工程では、端子板 23、24 が写真製版により所定パターンにエッチングされ、整形される。図 5 (a) は、半導体ウエハ 20 の主面 20A における端子板 23 のエッチングされたパターンを、また図 5 (b) は、その主面 20B における端子板 24 のエッチングされた整形パターンを示す。図 5 (a) (b) は、ともに、半導体ウエハ 20 に含まれる 4 つの隣接するパワー MOSFET 10 を代表的に示し、これらにおける端子板 23、24 のエッチングされた整形パターンを示す。図 5 (a) の端子板 23 は、4 つの各パワー MOSFET 10 のソース端子層 15 と、ゲート端子層 16 とを含んでおり、これらのソース端子層 15 とゲート端子層 16 とが細い接続片 23a によって互いに接続された状態に、整形される。また、図 5 (b) の端子板 24 は、4 つの各パワー MOSFET 10 のドレイン端子層 17 を含んでおり、これらが細い接続片 24a によって互いに接続された状態に、整形される。

【0027】

端子板 23、24 が図 5 (a) (b) に示すパターンに整形された状態で、ろう付け層 28 が電気メッキされる。このろう付け層 28 は半田層であり、図 5 (a) に示すソース端子層 15、ゲート端子層 16、および接続片 23a の表面と、図 5 (b) に示すドレイン端子層 17 および接続片 24a の表面に被着される。接続片 23a は、各ソース端子層 15 とゲート端子層 16 を共通接続し、それらにろう付け層 28 を共通に電気メッキするために使用され、また接続片 24a は各ドレイン端子層 17 を共通接続し、それらにろう付け層 28 を共通に電気メッキするために使用される。

【0028】

ろう付け層 28 を形成した後、分割工程が実行される。図 6 はこの分割工程の終了後の状態を示す。図 6 において、斜線で示すライン 29 がダイシングラインであり、半導体ウエハ 20 はこのダイシングライン 29 により、個々のパワー MOSFET 10 に分割される。図 6 (a) は半導体ウエハ 20 の主面 20A 側の端子板 23 と半導体基板 11 の分割状態を、図 6 (b) はその主面 20B 側の端子板 24 と半導体基板 11 の分割状態を示す。図 6 (a) (b) において、ハッチング部分がダイシングライン 29 であり、このダイシングライン 29 により、半導体基板 11 が分割され、また端子板 23、24 が分割される。各パワー MOSFET 10 には、端子板 23 の分割によりソース端子層 15 とゲート端子層 16 が互いに電氣的に独立して形成される。また、端子板 24 の分割によりドレイン端子層 17 が形成される。接続片 23a、24a は、ダイシングライン 29 に含まれ、この分割工程により、除去され、各ソース端子層 15、ゲート端子層 16、ドレイン端子層 17 が独立する。

【0029】

分割された各パワー MOSFET 10 は、図 1 に示す状態で回路基板 50 に実装され、樹脂部材 60 により封止される。この樹脂部材 60 による封止の前に、ソース端子層 15、ゲート端子層 16 およびドレイン端子層 17 の表面に付着されたろう付け層 28 によるろう付けが行なわれる。このろう付けは、回路基板 50 上でパワー MOSFET 10 を加熱することにより、ろう付け層 28 が熔融し、図 1 に示すろう付け材 18 による固着が達成される。

【0030】

実施の形態 3.

図 7、図 8、図 9 は、この発明によるパワー MOSFET 10 の製造方法に関する別の実施の形態 3 を示す。この実施の形態 3 は、図 3 に示す端子形成工程までは実施の形態 2 と同じに製造される。図 7 は、実施の形態 3 による端子整形工程の終了後の半導体ウエハ 20 を示す。

【0031】

この実施の形態 3 では、図 3 に示す端子形成工程の後、端子板 23、24 の全

面にろう付け層 31 が被着される。このろう付け層 31 は、Sn-Pb、Sn-Bi、Sn-Cu、または Sn で構成され、端子板 23、24 の全面に蒸着法によって被着される。このろう付け層 31 の形成後、端子板 23、24 に対する端子整形工程が実行される。

【0032】

この実施の形態 3 の端子整形工程では、半導体ウエハ 20 が、エッチングによらず、分離ライン 32 に沿ってハーフカットされ、このハーフカットにより、端子板 23、24 が整形される。このハーフカットでは、図 7 に示すように、端子板 23、24 と導電性接着剤 25 を分断する位置まで、分離ライン 32 に沿って、端子板 23、24、導電性接着材 25 およびウエハ 20 の表面部分がカットされ、この分離ライン 32 上に蒸着されたろう付け層 31 も除去される。

【0033】

図 8 は、この端子整形工程の終了後の半導体ウエハ 20 を示し、図 8 (a) はその主面 20A における 4 つの隣接するパワー MOSFET 10 の端子板 23 を代表的に示す。図 8 (b) はその主面 20B における 4 つの隣接するパワー MOSFET 10 の端子板 24 を代表的に示す。

分離ライン 32 は、主面 20A では端子板 23 を一方向に沿って分離する分離ライン 32a を含み、さらにこれらの分離ライン 32a と平行に延びる分離ライン 32b を含む。また分離ライン 32 は、主面 20B では端子板 24 を一方向に沿って分離する分離ライン 32a を含む。主面 20a と主面 20b の分離ライン 32a は、半導体ウエハ 20 を挟んで互いに対向する位置にある。これらの分離ライン 32a、32b に沿ったハーフカットによって主面 20A には、複数のソース端子ストリップ 15A およびゲート端子ストリップ 16A が形成され、また主面 20B には、複数のドレイン端子ストリップ 17A が形成される。ソース端子ストリップ 15A、ゲート端子ストリップ 16A、およびドレイン端子ストリップ 17A は、それぞれダイシングライン 32a、32b に沿って複数のソース端子層 15、ゲート端子層 16、ドレイン端子層 17 を含む。

【0034】

実施の形態 3 では、図 7、図 8 に示す分離ライン 32 のハーフカットの後、半

導体ウエハ 20 は、図 9 に示すダイシングライン 33 に沿ってフルカットされる。図 9 (a) はウエハ 20 の主面 20A 側における 4 つの隣接するパワー MOSFET 10 を代表的に示し、図 9 (b) はその主面 20B 側における 4 つの隣接するパワー MOSFET 10 を代表的に示す。ダイシングライン 33 は、分離ライン 32a と一致したダイシングライン 33a と、これらに直交するダイシングライン 33b を含む。ダイシングライン 33b は、ソース端子ストリップ 15A、ゲート端子ストリップ 16A およびドレイン端子ストリップ 17A を分断し、各パワー MOSFET 10 に対応したソース端子層 15、ゲート端子層 16、ドレイン端子層 17 に分断する。このダイシングライン 33 によるフルカットのダイシングによって、ウエハ 20 はそのすべての厚さに亘って分割され、個々のパワー MOSFET 10 に分割される。

【0035】

実施の形態 3 では、ろう付け層 31 が蒸着によって、接続片 23a、24a を形成することなく、容易に形成され、このろう付け層 31 の形成後に、分離ライン 32 およびダイシングライン 33 に沿って分離とダイシングすることによって、ソース端子層 15、ゲート端子層 16、ドレイン端子層 17 とともにその上のろう付け層 31 の分離、分断が行なわれ、半導体ウエハ 20 の分割を行なうことができる。

【0036】

実施の形態 4.

この実施の形態 4 では、ソース端子層 15、ゲート端子層 16 およびドレイン端子層 17 の一部を樹脂マスクで覆ったパワー MOSFET 10 が構成される。

【0037】

この実施の形態 4 では、図 5 に示すように、ソース端子層 15、ゲート端子層 16 およびドレイン端子層 17 を、接続片 23a、24a とともに形成した状態において、樹脂マスク 40 が施される。この樹脂マスク 40 は、図 10 に示すように、複数の樹脂バンド 41 を含み、これらの各樹脂バンド 41 は所定ピッチ P で横方向に延在するように、被着される。各樹脂バンド 41 の幅を W とする。ピッチ P は、2 つの隣接する樹脂バンド 41 の間に、2 列に横方向に並ぶ複数のパ

ワーMOSFET10が配置されるように設定される。

【0038】

樹脂マスク40を被着した後、半導体ウエハ20が、ダイシングライン29によって分割される。横方向にダイシングライン29は、樹脂バンド41の中心位置を横方向に延びるダイシングライン29aと、接続片23a、24aの位置を横方向に延びるダイシングライン29bと、縦方向に延びるダイシングライン29cを含み、このダイシングライン29によって、個々のパワーMOSFET10が分割される。各パワーMOSFET10において、ソース端子層15、ゲート端子層16、ドレイン端子層17の各端部が樹脂バンド41によって被覆される。この樹脂バンド41は、各端子層の信頼性を向上する効果がある。

【0039】

実施の形態5.

この実施の形態5は、この発明によるパワーMOSFETの製造方法に関する別の実施の形態であり、複数のパワーMOSFET10を含む半導体ウエハ20に対し、それぞれのパワーMOSFET10のソース電極10S、ゲート電極10G、ドレイン電極10Dに、ソース端子層15、ゲート端子層16、ドレイン端子層17を直接蒸着して形成する製造方法である。

【0040】

図3において、端子板23、24および導電性接着剤25を形成する前の半導体ウエハ20は、複数のパワーMOSFET10を含み、それぞれのパワーMOSFET10のソース電極10S、ゲート電極10Gが主面20Aに露出し、またそれぞれのドレイン電極10Dが主面20Bに露出した状態にある。実施の形態5では、この主面20Aに露出するソース電極10S、ゲート電極10Gと、主面20Bに露出するドレイン電極10Dに対し、直接Cuを厚く蒸着し、それらに接合するソース端子層15、ゲート端子層16、ドレイン端子層17を形成する。また、このソース端子層15、ゲート端子層16、ドレイン端子層17の上にろう付け層28が蒸着される。主面20Aでは、ソース電極10S、ゲート電極10G以外の領域は、マスクされ、このマスクを形成した状態で、Cuの蒸着とろう付け層28の蒸着を行う。これらの蒸着後に、マスクは取り除かれ、ソ

ース電極 10 S、ゲート電極 10 G 上に、ろう付け層 28 を持ったソース端子層 15、ゲート端子層 16 がそれぞれ独立して形成される。このソース端子層 15、ゲート端子層 16、ドレイン端子層 17 は、それぞれソース電極 10 S、ゲート電極 10 G、ドレイン電極 10 D と同じ面積を持つ。

ろう付け層 28 を持ったソース端子層 15、ゲート端子層 16、ドレイン端子層 17 の形成後に、ウエハの分離工程が実行され、複数のパワー MOSFET 10 が個々に分離される。

【0041】

この実施の形態 5 によっても、ソース端子層 15、ゲート端子層 16、ドレイン端子層 17 は、ウエハ段階で容易に形成することができ、個々のパワー MOSFET 10 の分離後に、細い金属ワイヤにより端子を接続する必要がなく、小型で内部抵抗の小さいパワー MOSFET 10 を得ることができる。

【0042】

実施の形態 6.

この実施の形態 5 は、実施の形態 5 による製造方法によって製造されたパワー MOSFET 10 の実施の形態である。この実施の形態 6 にパワー MOSFET 10 は、ソース電極 10 S、ゲート電極 10 G、ドレイン電極 10 D 上に、それらの面積と同じ大きさの、ろう付け層 28 を持ったソース端子層 15、ゲート端子層 16、ドレイン端子層 17 を有する。この実施の形態 6 によっても、小型で、内部抵抗の小さいパワー MOSFET 10 を得ることができる。

【0043】

【発明の効果】

以上のようにこの発明のパワー MOSFET によれば、リードフレームを用いる従来のものに比べて、外形寸法をより小さくでき、併せて各端子の接続抵抗を充分小さくできる。またこの発明のパワー MOSFET 応用装置では、パワー MOSFET を小さな実装面積で実装できる効果がある。併せて、この発明のパワー MOSFET の製造方法によれば、ソース端子層、ゲート端子層、ドレイン端子層を、半導体基板に分離後に個々に形成する必要がなくなり、これらを容易に形成できる。

【図面の簡単な説明】

【図 1】 この発明によるパワー MOS F E T とパワー MOS F E T 応用装置の実施の形態 1 を示す斜視図。

【図 2】 実施の形態 1 のパワー MOS F E T の各主面の正面図。

【図 3】 この発明によるパワー MOS F E T の製造方法についての実施の形態 2 におけるある製造工程の状態を示す側面図。

【図 4】 実施の形態 2 の別の製造工程の状態を示す側面図。

【図 5】 図 4 に対応する半導体ウエハの各主面の正面図。

【図 6】 実施の形態 2 の別の製造工程における各主面の正面図。

【図 7】 この発明によるパワー MOS F E T の製造方法についての実施の形態 3 におけるある製造工程の状態を示す側面図。

【図 8】 図 7 に対応する半導体ウエハの各主面の正面図。

【図 9】 実施の形態 3 の別の製造工程における各主面の正面図。

【図 1 0】 この発明によるパワー MOS F E T の製造方法についての実施の形態 3 におけるある製造工程の状態を示す正面図。

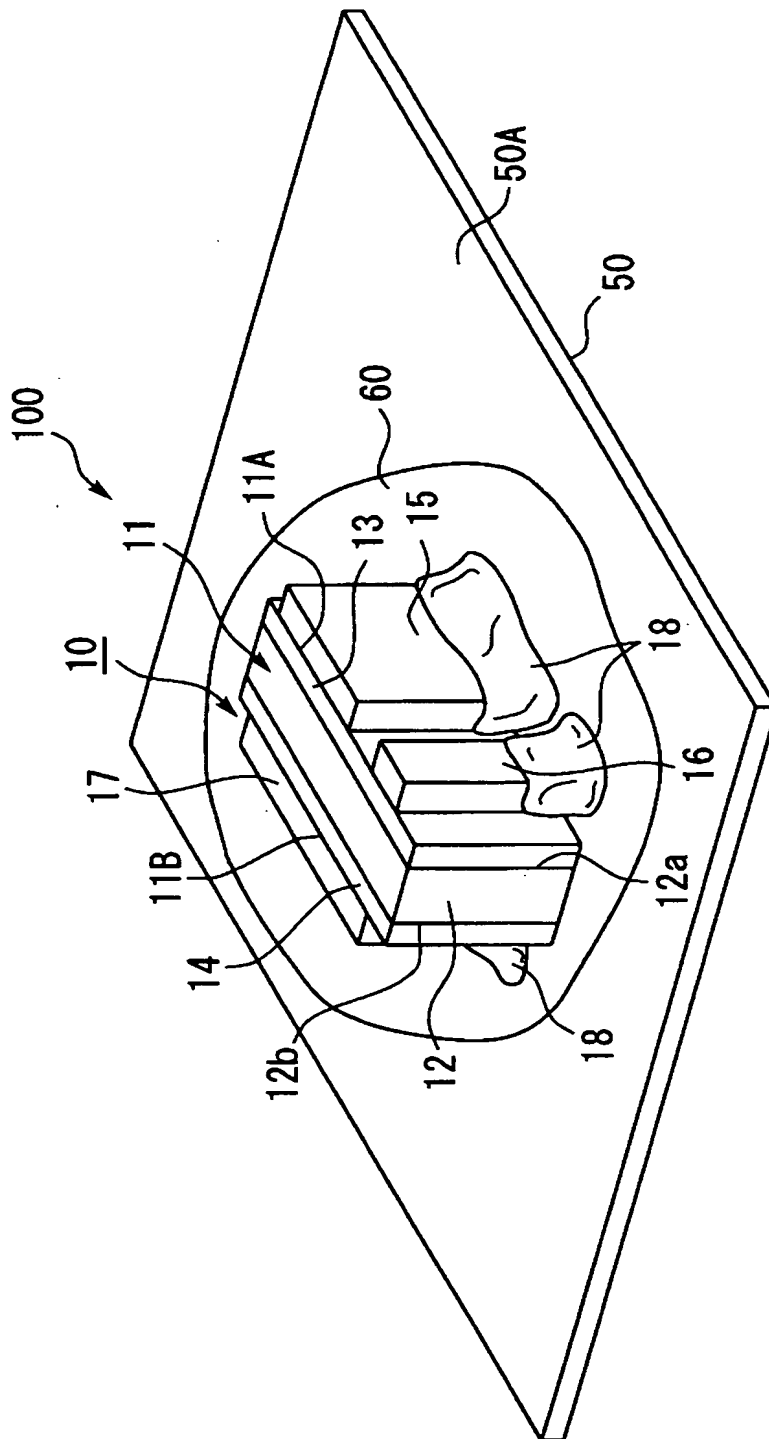
【符号の説明】

1 0 0 : パワー MOS F E T 応用装置、1 0 : パワー MOS F E T、5 0 : 回路基板、6 0 : 封止樹脂、1 1 : 半導体基板、1 1 A、1 1 B : 主面、1 0 S : ソース電極、1 0 G : ゲート電極、1 0 D : ドレイン電極、1 5 : ソース端子層、1 6 : ゲート端子層、1 7 : ドレイン端子層、2 0 : 半導体ウエハ、2 3、2 4 : 端子板、2 8 : ろう付け層。

【書類名】

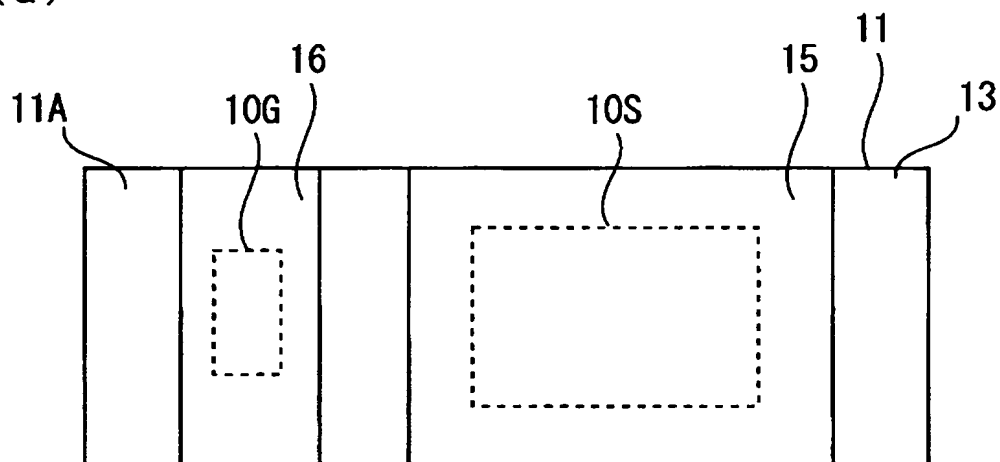
図面

【図 1】

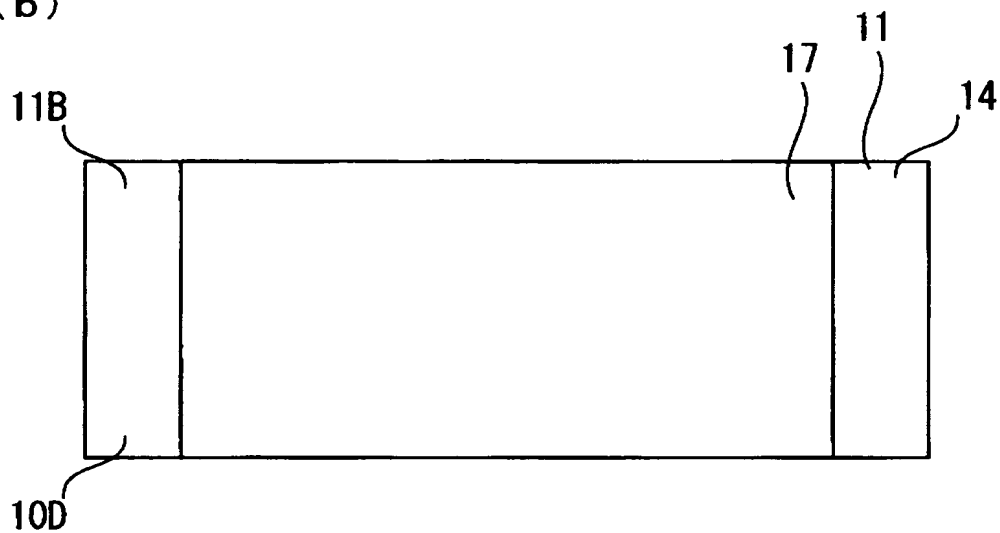


【図 2】

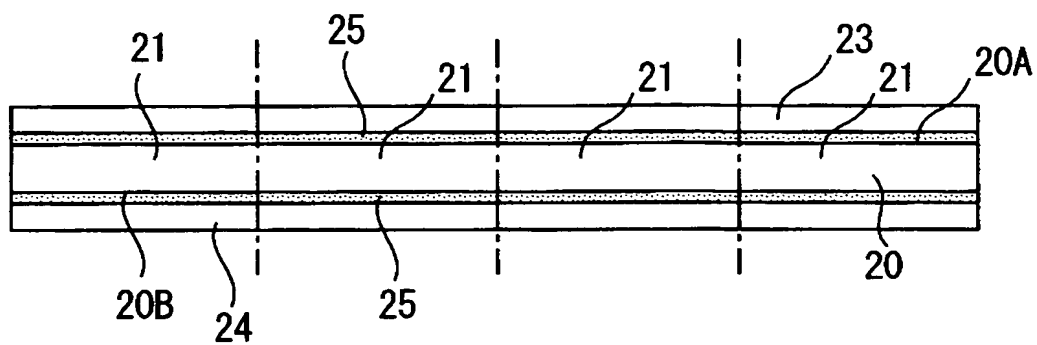
(a)



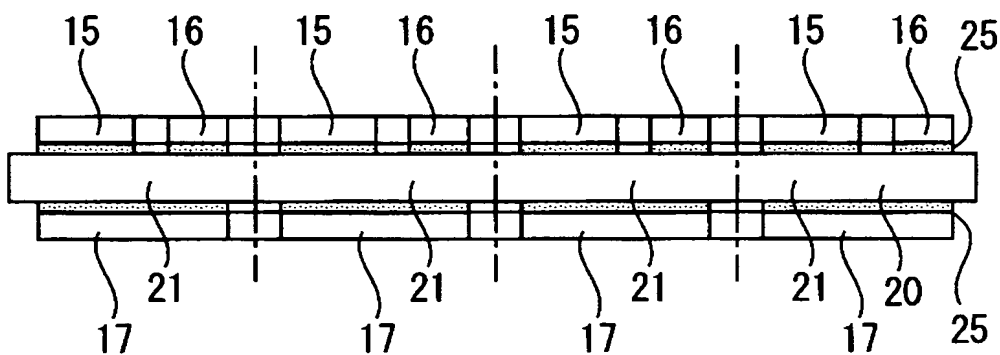
(b)



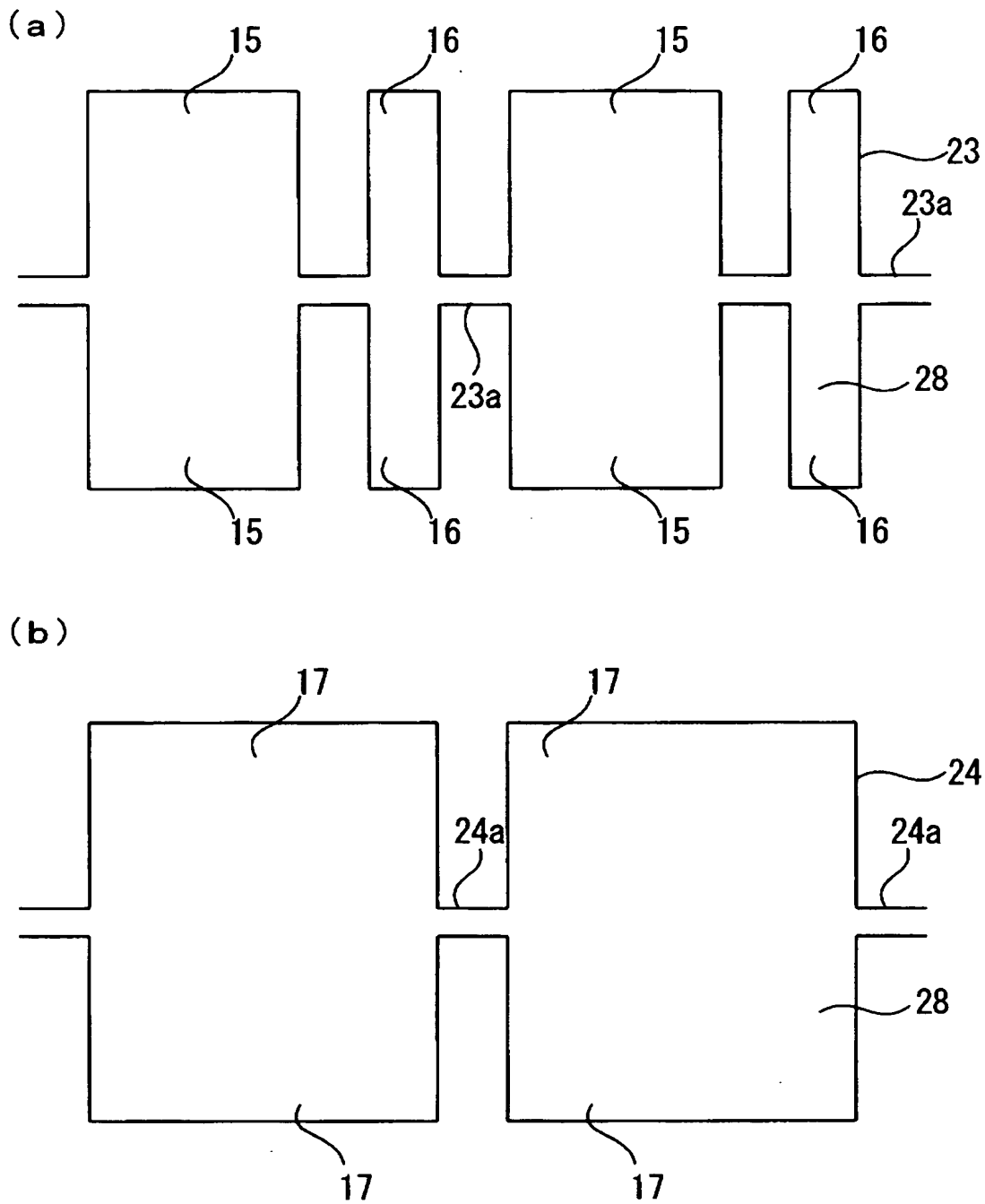
【図 3】



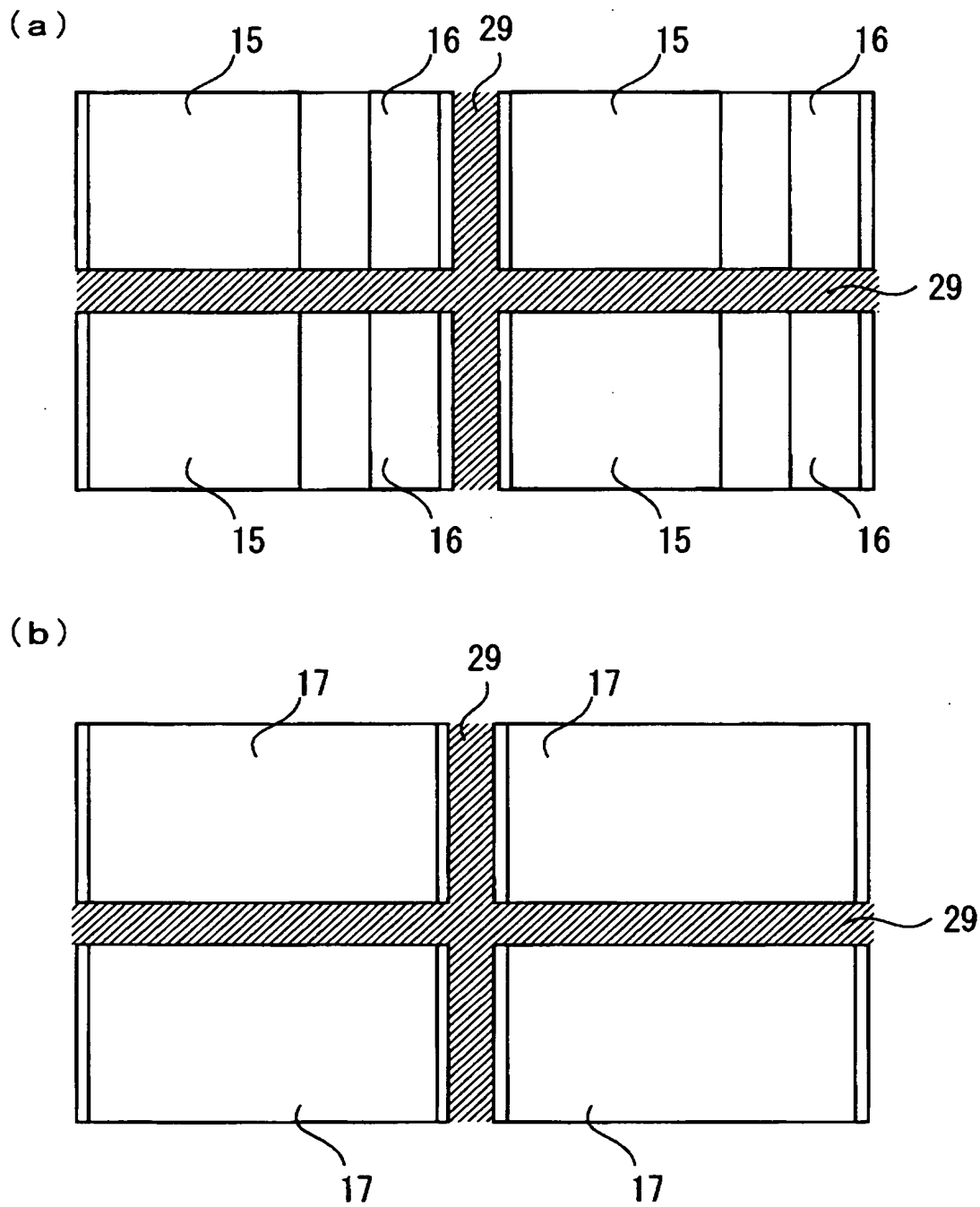
【図 4】



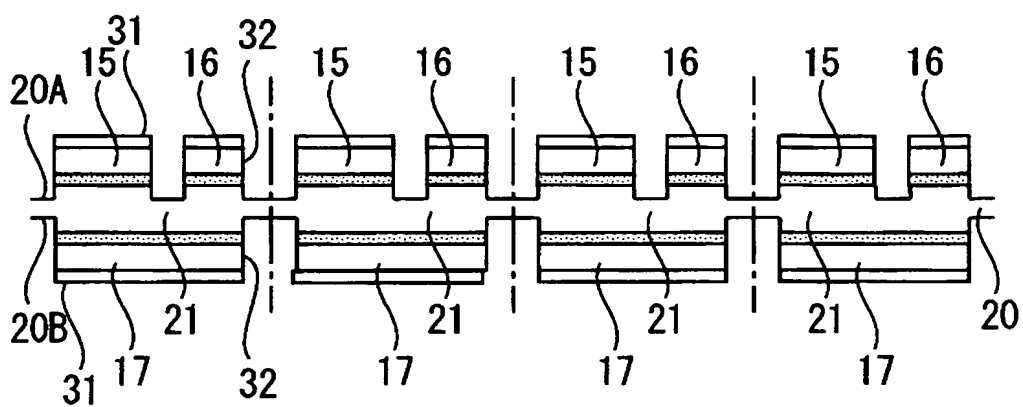
【図 5】



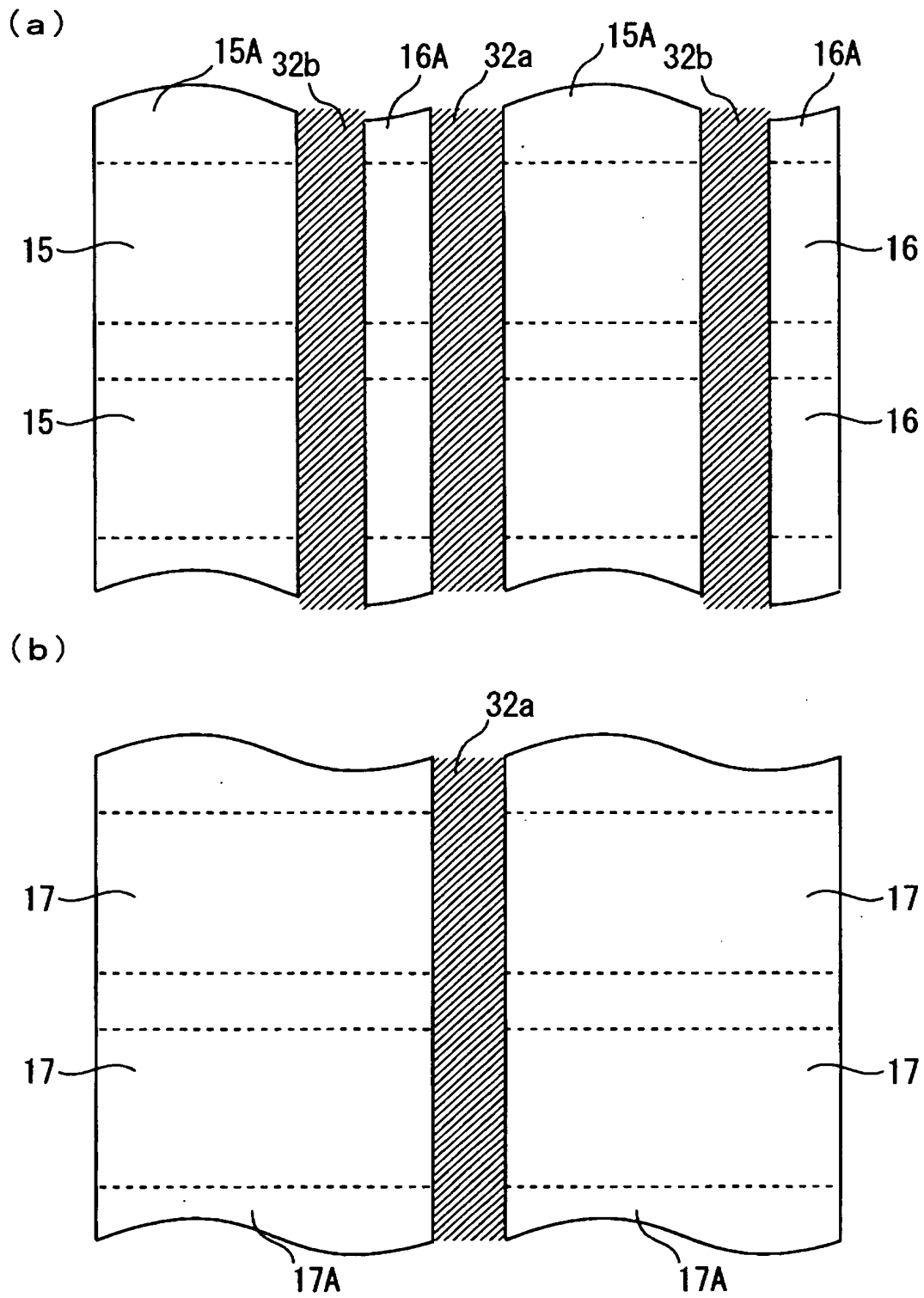
【図 6】



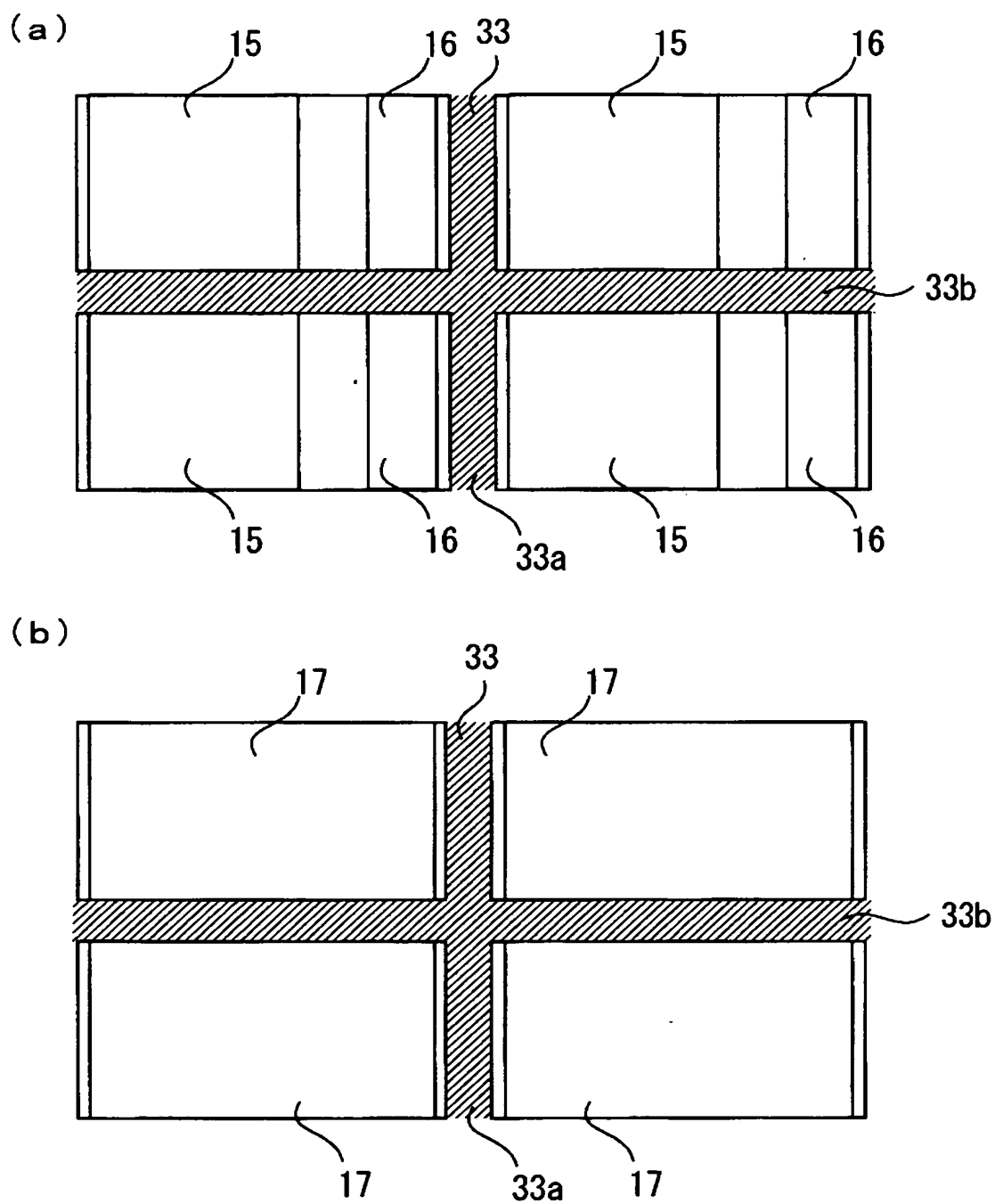
【図 7】



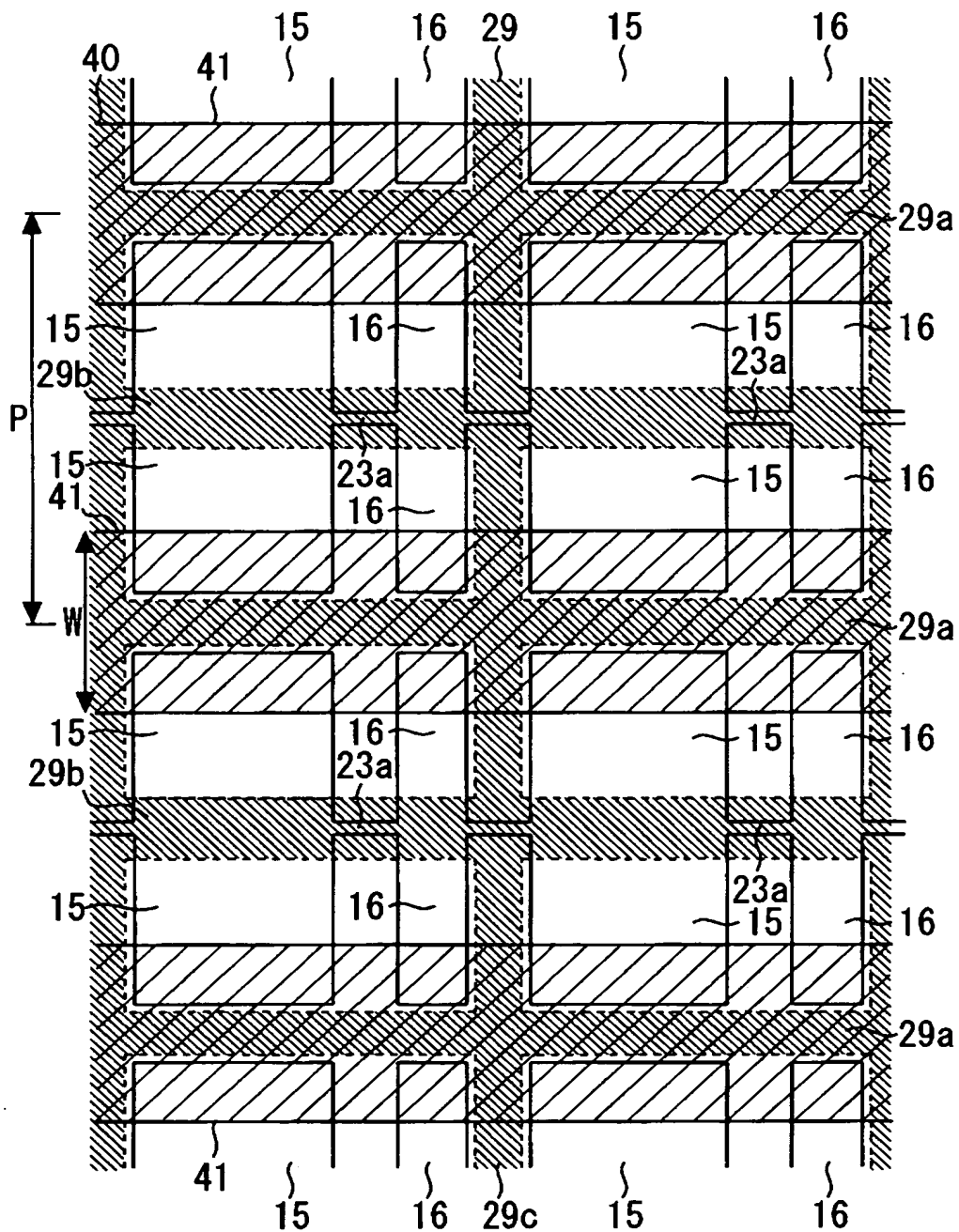
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 小型で内部抵抗の小さいパワーMOSFETと、また実装面積に小さなパワーMOSFET応用装置と、製造の容易なパワーMOSFETの製造方法を提案する。

【解決手段】 半導体基板の相対向する主面上に、ソース端子層、ゲート端子層、ドレイン端子層を配置する。これらの各端子層は、各主面の面積内に納まる大きさを持って各主面上に配置され、ソース電極、ゲート電極、ドレイン電極に接合される。このパワーMOSFETは、各主面が回路基板とはほぼ直交するようにして、回路基板に実装される。パワーMOSFETは、半導体ウエハの段階で、端子板を分離する工程、またはソース電極、ゲート電極、ドレイン電極に金属層を蒸着する方法によって、ソース端子層、ゲート端子層、ドレイン端子層を形成する。

【選択図】 図 1

特願 2 0 0 3 - 1 4 2 1 6 5

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ